

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08305317 A**(43) Date of publication of application: **22 . 11 . 96**

(51) Int. Cl.

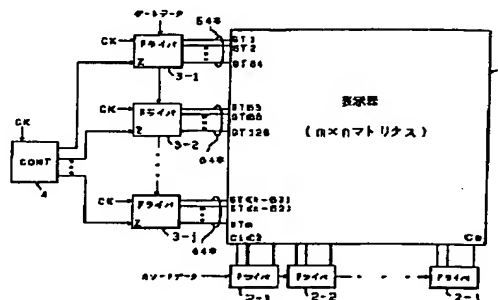
G09G 3/22**H01J 1/30****H01J 31/12**(21) Application number: **07127364**(22) Date of filing: **28 . 04 . 95**(71) Applicant: **FUTABA CORP**(72) Inventor: **TANAKA MITSURU
TAKAYAMA KATSUMI**(54) **METHOD AND CIRCUIT FOR DRIVING IMAGE
DISPLAY DEVICE**

(57) Abstract:

PURPOSE: To adopt a one chip driver incorporating plural drivers and to reduce reactive power.

CONSTITUTION: Gate drivers 3-1 to 3-j are made a one chip, and respective drivers scan drive 64 pieces of gate electrodes. The gate drivers 3-1 to 3-j are controlled by a control part 4 so as to be made an active state for successive 65H periods in one frame. That is, the final 1H of the active periods of respective gate drivers 3-1 to 3-j is overlapped to the initial 1H of the active periods of the gate drivers 3-1 to 3-j of a next order. Thus, an output of 64-th piece is lowered to a low level surely, and erroneous light emission is prevented. At the time of the inactive state of the gate drivers 3-1 to 3-j, the reactive power is reduced since the connected gate electrodes become a floating state.

COPYRIGHT: (C)1996,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-305317

(43)公開日 平成8年(1996)11月22日

| (51)Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|------|---------|--------------|--------|
| G 0 9 G 3/22 | | 4237-5H | G 0 9 G 3/22 | |
| H 0 1 J 1/30 | | | H 0 1 J 1/30 | Z |
| 31/12 | | | 31/12 | B |

審査請求 未請求 請求項の数 3 F D (全 9 頁)

(21)出願番号 特願平7-127364

(22)出願日 平成7年(1995)4月28日

(71)出願人 000201814

双葉電子工業株式会社

千葉県茂原市大芝629

(72)発明者 田中 満

千葉県茂原市大芝629 双葉電子工業株式
会社内

(72)発明者 高山 勝己

千葉県茂原市大芝629 双葉電子工業株式
会社内

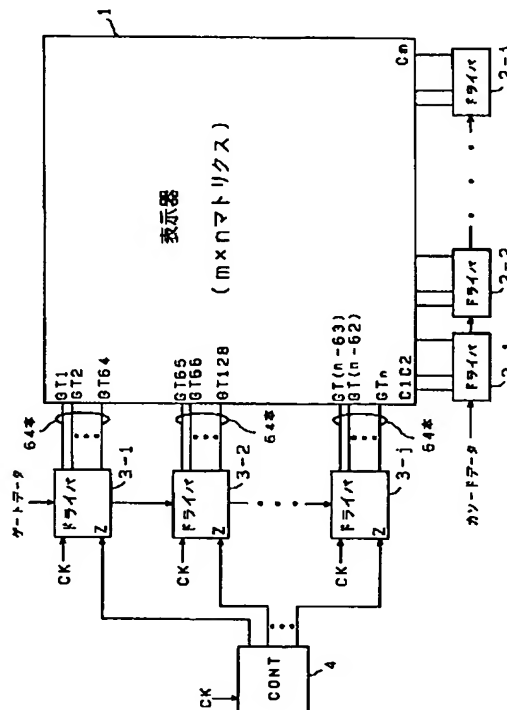
(74)代理人 弁理士 脇 篤夫 (外1名)

(54)【発明の名称】 画像表示装置の駆動方法および駆動回路

(57)【要約】

【目的】複数のドライバを内蔵する1チップドライバを採用できると共に、無効電力を低減する。

【構成】ゲートドライバ3-1~3-nは1チップとされており、それぞれ64本のゲート電極をスキャン駆動している。ゲートドライバ3-1~3-jは、1フレームのうち順次65H期間アクティブ状態とされるよう制御部4により制御される。すなわち、各ゲートドライバ3-1~3-jのアクティブ期間の最後の1Hは、次順のゲートドライバ3-1~3-jのアクティブ期間の最初の1H期間と重複する。これにより、64本目の出力を確実にローレベルに落として誤発光を防止できる。ゲートドライバ3-1~3-jの非アクティブ状態時は、接続されているゲート電極がフローティング状態となるので無効電力を低減できる。



1

【特許請求の範囲】

【請求項 1】 マトリクス状に配置された複数のゲート電極及びカソード電極を有する画像表示装置の駆動方法であって、

上記ゲート電極及びカソード電極の内、走査電極とされた一方の電極が複数の電極からなる 2 群以上に分割されており、それぞれの群は複数のドライバを内蔵する 1 チップドライバにより、全ての前記走査電極においてスキャンされるよう駆動され、

該 1 チップドライバは、ドライブする前記走査電極数に 1 以上加えた数を走査できる期間アクティブ状態とされ、他の期間は出力がハイインピーダンス状態となるよう制御されて、アクティブ状態とされている前記 1 チップドライバのアクティブ期間と、次順にアクティブ状態とされる他の前記 1 チップドライバのアクティブ期間が一部重複されていることを特徴とする画像表示装置の駆動方法。

【請求項 2】 上記ゲート電極が上記走査電極とされることを特徴とする請求項 1 記載の画像表示装置の駆動方法。

【請求項 3】 マトリクス状に配置された複数のストライプ状のゲート電極及び複数のストライプ状のカソード電極と、

上記ゲート電極をゲートデータにより駆動するゲート駆動手段と、

上記カソード電極をカソードデータにより駆動するカソード駆動手段とを備えている画像表示装置の駆動回路において、

走査電極とされた一方の電極は複数の電極からなる 2 群以上に分割されて、それぞれの群は前記いずれかの駆動手段を構成する複数のドライバを内蔵する 1 チップドライバにより、全ての前記走査電極がスキャンされるよう駆動され、

該 1 チップドライバを、ドライブする前記走査電極数に 1 以上加えた数を走査できる期間アクティブ状態とし、他の期間は出力がハイインピーダンス状態となるよう制御する制御手段を備え、

前記 1 チップドライバがアクティブ状態とされているアクティブ期間と、次順にアクティブ状態とされる他の前記 1 チップドライバのアクティブ期間が一部重複されるよう制御されていることを特徴とする画像表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、マトリクス状に配置された電極のうち一方が走査電極とされている画像表示装置の駆動方法、及び駆動回路に関わり、特に電界放出型カソードを用いた画像表示装置に適用して好適なものである。

【0002】

(2)

2

【従来の技術】金属または半導体表面の印加電界を 10^9 [V/m] 程度にするとトンネル効果により、電子が障壁を通過して常温でも真空中に電子放出が行われる。これを電界放出 (Field Emission) と云い、このような原理で電子を放出するカソードを電界放出カソード (Field Emission Cathode) と呼んでいる。近年、半導体加工技術を駆使して、ミクロンサイズの電界放出カソードからなるアレイを作製することにより、面放出型の電界放出カソードを実現することが可能となり、このような電界放出カソードを用いた画像表示装置の研究開発が行われている。

【0003】図 5 に、半導体加工技術により作成された電界放出カソードの一例であるスピント (Spindt) 型と呼ばれる電界放出カソード (以下、「FEC」と記す) の模擬的な構成を示す。この図において、ガラス等の基板の上にアルミニウム等の金属からなるカソード電極が蒸着により形成されており、このカソード電極上にモリブデン等の金属からなるコーン状のエミッタが形成されている。カソード電極上のエミッタが形成されていない部分には二酸化シリコン (SiO_2) 膜等の絶縁層が形成され、さらにその上にはゲートが形成されており、ゲート及び絶縁層に設けられた丸い開口部の中に上記コーン状のエミッタが位置している。すなわち、このコーン状のエミッタの先端部分がゲートに設けられた開口部から臨む構成とされている。

【0004】このコーン状のエミッタのエミッタ間のピッチは 10 ミクロン以下とすることができ、数万から数 10 万個のエミッタを 1 枚の基板上に設けることができる。さらに、ゲートとエミッタのコーンの先端との距離をサブミクロンとすることができるため、ゲートとエミッタ電極間とに僅か数 10 ボルトのゲート・エミッタ間電圧 V_g を印加することにより、電子をエミッタから電界放出することができる。この電界放出された電子はゲート上に離隔して正の電圧 V_a が印加されたアノードを対向して設けておくと、このアノードにより捕集することができる。

【0005】このような FEC のアノード電流 I_a 、ゲート・カソード間電圧 V_g 特性を図 4 に示す。この図に示すように、ゲート・カソード間電圧 V_g が徐々に上昇していくと、アノード電流 I_a が流れ始めるようになる。この電流 I_a が流れ始める電圧 V_g を閾値電圧 V_m と云い、この時にゲート・カソード間の電界が約 10^9 [V/m] 程度となるためエミッタから電子が放出され始める。これにより、アノード電流 I_a がアノードに流れ始めるのである。一般に、ゲート・カソード間には閾値電圧 V_m よりかなり高い図示する V_g 程度の電圧が印加されており、この時アノードにはアノード電流 I_a が流れるようにされている。

【0006】そして、コーン状のエミッタの 1 つから得られるアノード電流は約 1 マイクロアンペアと小さい電

50

流であるため、多数のエミッタをアレイ化することにより所望のアノード電流の得られるFECとしている。この場合、アノードに蛍光体を設けておくとエミッタから電界放出された電子が捕集されるアノードの蛍光体の部分を発光させることが出来る。このような原理を利用することにより、FECを用いた画像表示装置（以下、「FED」という）とすることができる。

【0007】上記したような原理を用いたFEDの駆動回路の構成を示すブロック図を図6に示し、この駆動装置のゲート電極の駆動波形を図7に示す。図6において、シフトレジスタ20はゲートデータとシフトクロック（CLK）が入力されており、このシフトレジスタ20において、入力されたゲートデータがシフトクロックにより順次シフトされていき、それぞれのゲートドライバ21-1～21-nに順次印加されるようになされている。

【0008】このゲートドライバ21-1～21-nに印加されるゲートデータは、1フレームの開始タイミングにおいて発生される1シフトクロック幅の「1」データとされ、この「1」データがシフトされていくことにより、図7にGT1, GT2, GT3, …GTnとして示すような順序パルスとされる。この順序パルスのパルス幅は、1水平ラインを走査する期間である1Hとされ、1フレームはnHで示される。

【0009】また、ゲートドライバ21-1～21-nの各々は、図示するように例えばC-MOSからなるトーマポール型ドライバで構成されて、ゲート電極22-1～22-nを高速で駆動できるようにしている。この場合、ドライバを構成する電界効果トランジスタ（FET）Tr₁のソース端子には駆動電源V_gが接続され、電界効果トランジスタTr₂のソース端子には、ドライバのスイング電圧が低くなるようにバイアス電源V_bが接続されている。

【0010】ゲート電極22-1～22-nはそれぞれストライプ状に形成されており、ゲートドライバ21-1はゲート電極22-1をドライブし、ゲートドライバ21-2はゲート電極22-2をドライブし、このように順次ゲート電極がドライブされていき最終のゲートドライバ21-nにより最終のゲート電極22-nがドライブされるようになされている。

【0011】つまり、例えばゲートドライバ21-1にゲートデータが印加されて、このドライバが選択された場合、このゲートドライバ21-1のトランジスタTr₁がオンになり、ドライバ21-1から出力される電圧V_gがゲート電極22-1に印加されてドライブされることになる。

【0012】そして、ゲートデータが次のゲートドライバ21-2に移行し、ゲートドライバ21-1が非選択になると、ゲートドライバ21-1のトランジスタTr₁はオフになると共に、トランジスタTr₂がオンにな

るため、ゲート電極22-1にはバイアス電圧V_bが供給される。なお、このバイアス電圧V_bは、上記したゲート・カソード間の閾値電圧V_{th}より低い電圧とされている。

【0013】一方、シフトレジスタ23には直列とされた画像データであるカソードデータが入力され、ここで並列データに変換されてラッチ回路24でラッチされる。このため、シフトレジスタ23にはカソードデータシフト用のシフトクロック（CLK）が入力されている。そして、ゲート電極の走査タイミング（水平走査タイミング）毎に上記ラッチ回路24でラッチされた並列のカソードデータは、それぞれカソードドライバ25-1～25-mに印加される。このカソードドライバ25-1～25-mに印加されるカソードデータにより、図示しないアノードに設けられている蛍光体の発光が1ピクセルを単位として1行分同時に制御され、ゲート電極22-1からゲート電極22-nまで走査された時に、アノードに1フレームの画像が表示されるようになる。

【0014】なお、カソード電極26-1～26-mはそれぞれストライプ状に形成されており、カソードドライバ25-1はカソード電極26-1をドライブし、カソードドライバ25-2はカソード電極26-2をドライブし、最終のカソードドライバ25-mにより最終のカソード電極26-mがドライブされるようになされている。

【0015】上記ゲート電極22-1～22-nとカソード電極26-1～26-mはマトリクス状に配置されており、この両電極の交差部には図6に示すようなエミッタアレイE₁₁, E₁₂…E₂₁, E₂₂…E_{nm}が、それぞれ各カソード電極26-1～26-m上に作製されており、このエミッタアレイが画像表示装置の画素をそれぞれ形成している。

【0016】従って、ゲートドライバ21-1～21-nが順次選択され、順次ゲート電極22-1～22-nがドライブされると、このゲート・カソード電極間に所定の電圧が印加されてエミッタアレイから電子が放出され、この電子はゲート電極22-1～22-n上に隔離して配置された図示しないアノードに捕集される。

【0017】このアノードには蛍光体が設けられており、画素であるエミッタアレイから放出された電子によりその部分に対応する蛍光体がそれぞれ発光するようになる。そして、上記説明したようにカソード電極26-1～26-mには画像データが印加されているために、蛍光体は画像データに応じて発光し、その結果画像が蛍光体に表示されるようになる。

【0018】ところで、図6に示す画像表示装置において、ゲート電極22-1～22-nとカソード電極26-1～26-mは、絶縁層を介してマトリクス状に配置されているため、図示するように両電極が重なる部分において静電（あるいは絶縁層）容量C_cが発生する。こ

の静電容量 C_0 は、ゲート電極とカソード電極との電位差に応じて放電／充電を繰り返すようにされるため、ゲート電極やカソード電極を駆動している電源には放電／充電に伴う無効電力 P_0 が発生するようになる。この無効電力 P_0 は駆動周波数に比例して増大するようになるため、駆動周波数の高いカソード電源においては数十ワットの無効電力が発生することもある。

【0019】そこで、この無効電力を低減するようにした駆動回路が提案（必要ならば、特開平6-208340号公報を参照されたい。）されており、この駆動回路の回路図を図9に示す。図9に示す回路の説明を図8に示すゲート電極に供給されるパルスタイミング図を参照しながら説明する。シフトレジスタ130はD型フリップフロップ（D-FF）132₁～132_nのn段のD-FFが縦続に接続されて構成され、1段目にはゲートデータDが供給されていると共に、全ての段にシフトクロックCPが供給される。

【0020】シフトレジスタ130の各段の出力は、それぞれ組み合わせロジック133₁～133_nに入力され、組み合わせロジック133₁～133_nの出力はトーマスポール型のドライバ128₁～128_nを駆動している。ドライバ128₁～128_nはゲート電極GT1～GTnを各々駆動している。このように構成された駆動回路の動作を説明すると、シフトレジスタ130の1段目のD-FF132₁の出力がHレベルとされると、インバータ134₁の出力がLレベルとされて、アンド回路140₁に入力されるためアンド回路140₁の出力もLレベルとなる。このインバータ134₁のL出力でトランジスタT1₁が駆動されてオンとされ、アンド回路140₁のL出力によりトランジスタT2₁がオフとされる。このため、ドライバ128₁からはゲート電極駆動電圧V1sが出力されて、図8（a）に示すようにゲート電極GT1が選択駆動される。

【0021】シフトレジスタ130に次のシフトクロックCPが入力されると、2段目のD-FF132₂の出力だけがHレベルとなり、前記と同様の動作が行われ、図8（b）に示すようにドライバ128₂から出力されるゲート電極駆動電圧V1sにより、ゲート電極GT2が選択駆動される。この場合、2段目のD-FF132₂のH出力が、1段目のアンド回路140₁の第2入力とされ、この時、アンド回路140₁の第1入力にはインバータ134₁からのH出力が入力されているため、インバータ134₁のH出力によりトランジスタT1₁がオフとされ、アンド回路140₁のH出力でトランジスタT2₁が駆動されてオンとされる。このため、ドライバ128₁からはゲート電極GT1を低レベルとする低電圧Vdが出力されて、ゲート電極GT1の電位が低レベルとされる。

【0022】このように、ゲート電極GT1が駆動される期間はシフトクロックCPの立ち上がり幅と等しくさ

れ、図8に示すようにこの期間は1水平走査期間（1H）とされる。さらに、次のシフトクロックCPがシフトレジスタ130に入力されると、3段目のD-FF132₃の出力だけがHレベルとされる。これによりゲート電極GT3が選択駆動されると共に、前述と同様の動作によりゲート電極GT2の電位が低レベルとされる。またこの時、D-FF132₂の出力がLレベルとなるのでアンド回路140₁の出力もLレベルとなる。すると、インバータ134₁のH出力によりトランジスタT1₁がオフとされ、アンド回路140₁のH出力によりトランジスタT2₁もオフとされる。このため、図8に破線で示すようにドライバ128₁はハイインピーダンス状態とされ、ゲート電極GT1はフローティング状態となる。

【0023】このような動作が順次行われて、それぞれのゲート電極は再び選択されるまでの期間（1フレーム）で1回選択駆動されることにより1H期間ハイレベル状態とされ、続く次の1H期間低レベル、例えば接地（GND）とされ、他の期間はフローティング状態とされるようになる。ところで、ゲート電極がフローティング状態とされると、静電容量 C_0 の充電／放電の電流路が形成されないこととなるため、この期間は静電容量 C_0 の充電／放電が行われず、無効電力が低減されるようになる。

【0024】

【発明が解決しようとする課題】しかしながら、前記した従来の駆動回路は、図9に示すようにその回路が複雑な回路となると共に、ドライバ出力毎にハイインピーダンス状態になるように制御する必要があるため、汎用の多数のドライバが内蔵されているが、ドライバ出力毎にハイインピーダンス状態に制御することのできない1チップドライバを採用することができないと云う問題点があった。そこで、本発明は汎用の多数のドライバが内蔵されている1チップドライバを採用しても、駆動電源の無効電力を低減することのできる画像表示装置の駆動方法および駆動回路を提供することを目的としている。

【0025】

【課題を解決するための手段】前記目的を達成するために、本発明の画像表示装置の駆動方法および駆動回路は、マトリクス状に配置された複数のゲート電極及びカソード電極を有する画像表示装置を駆動するに当って、複数のドライバを内蔵する1チップドライバにより走査電極をドライブすると共に、1チップドライバが非アクティブ状態とされている期間は、その全ての出力状態をハイインピーダンス状態とした。さらに、アクティブ状態とされた1チップドライバと、駆動順番が隣接する1チップドライバのアクティブ状態が一部重複することとした。

【0026】

【作用】本発明によれば、ドライバチップで駆動される

走査電極の群毎にフローティング状態とされるため、静電容量を充電／放電する電流路が形成されず、無効電力を低減することができる。従って、ドライバ用の電源容量を低減することができ、小型化することができると共に、コストを削減することができる。さらに、アクティブ状態とされた1チップドライバと、駆動順番が隣接する1チップドライバのアクティブ状態が一部重複することとしたので、各1チップドライバにおいて、最終段の出力レベルを低レベルに状態遷移した後、ハイインピーダンス状態とすることができる。

【0027】

【実施例】以下、本発明の実施例について説明する。図1に本発明の駆動方法を具現化した画像表示装置の駆動装置の一実施例のブロック図を示し、この駆動装置のタイミング図を図2、及び図3に示す。図1において、表示器1は、前記図6に示すような $m \times n$ マトリクスから構成されている。すなわち、ゲート電極数がGT1, GT2, GT3, ..., GTnのn本とされ、カソード電極数がC1, C2, C3, ..., Cmのm本とされている。カソードドライバ2-1, 2-2, ..., 2-iは1チップドライバであり、これらのカソードドライバ2-1, 2-2, ..., 2-iは縦続接続されて、カソード電極C1, C2, C3, ..., Cmがそれぞれ駆動されている。

【0028】また、ゲートドライバ3-1, 3-2, ..., 3-jも1チップドライバであり、これらのゲートドライバ3-1, 3-2, ..., 3-jも縦続接続されて、ゲート電極GT1, GT2, ..., GTnがスキャン駆動されている。制御部(CONT)4はゲートドライバ3-1, 3-2, ..., 3-jのアクティブ状態を制御しており、アクティブ状態とされたゲートドライバによりゲート電極が順次選択駆動されている。

【0029】次に、このように構成された駆動回路の動作を説明する。ゲートドライバ3-1に印加されるゲートデータは、図2に示すゲート電極GT1, GT2, ..., GTnが駆動される順序パルスが発生されるように、1フレームのスタートにおいて1H期間ハイレベルとされる。それぞれのゲートドライバ3-1, 3-2, ..., 3-jは、例えば、64本のゲート電極を駆動することができるように構成されている。すなわち、ゲートドライバ3-1はゲート電極GT1, GT2, ..., GT64を駆動しており、ゲートドライバ3-2はゲート電極GT65, GT66, ..., GT128を駆動しており、ゲートドライバ3-jはゲート電極GT(n-63), GT(n-62), ..., GTnを駆動している。

【0030】ゲートドライバ3-1, 3-2, ..., 3-jは、図2に示すように各ドライバ内で順次64本のゲート電極を駆動する駆動パルスが順次発生されているが、この順序パルスを発生している期間だけ、図3に示

すように各ゲートドライバ3-1, 3-2, ..., 3-jはアクティブ状態とされる。このアクティブ状態とする制御は制御部4により行われる。そして、非アクティブ状態の期間において、各ゲートドライバ3-1, 3-2, ..., 3-jの64本の全出力はハイインピーダンス状態とされる。

【0031】このような駆動が行われる様子が図2に示されているが、同図(a)に示すようにゲートドライバ3-1において、ゲート電極GT1を駆動する駆動パルスは、1フレームのスタートにおいて1H期間ハイレベルとされ、続く64H期間ローレベルとされる。そして、1フレームの残る期間は、ゲートドライバ3-1が非アクティブ状態とされ、その全出力がハイインピーダンス状態とされる。また、ゲート電極GT2を駆動する駆動パルスは、1フレームのスタートにおいて1H期間ローレベルとされ、続く1H期間ハイレベルとされ、さらに続く63H期間ローレベルとされる。そして、1フレームの残る期間は、同様に、その全出力がハイインピーダンス状態とされる。さらに、ゲート電極GTnを駆動する駆動パルスは、1フレームのスタートから63H期間ローレベルとされ、続く1H期間ハイレベルとされ、さらに続く1H期間ローレベルとされる。そして、1フレームの残る期間は、同様に、その全出力がハイインピーダンス状態とされる。

【0032】その駆動波形を図2(b)に示すゲートドライバ3-2、およびその駆動波形を同図(c)に示すゲートドライバ3-nにおいても同様に動作しており、結局のところ図3に示すように、ゲートドライバ3-1は、1フレームのスタートから65Hまでの期間だけアクティブ状態とされ、ゲートドライバ3-2は、1フレームのスタートから64H期間非アクティブ状態が続く、65H期間から129H期間までだけアクティブ状態とされ、ゲートドライバ3-nは、1フレームのスタートから64(n-1)H期間非アクティブ状態が続く、{64(n-1)+1}H期間から次のフレームの1H期間までだけアクティブ状態とされる。各ゲートドライバはこのようにアクティブ状態とされている期間に、それぞれ64本のゲート電極を順次駆動している。

【0033】なお、図示されていないが上記ゲート電極GT1~GTnとカソード電極C1~Cmはマトリクス状に配置されており、この両電極の交差部には前記図6に示すようにそれぞれエミッタアレイが各カソード電極C1~Cm上に作製されており、このエミッタアレイが画像表示装置の画素をそれぞれ形成している。また、出力がハイレベル、ローレベル、ハイインピーダンス状態の3ステートとされるゲートドライバ3-1~3-nの出力回路は、前記図9に示すようにトータムボール型のC-MOS回路とされている。そして、駆動されたいずれかのゲート電極GT1~GTnと、カソード電極C1~Cmとの間に所定の電圧が印加されて、駆動されたゲ

ート電極G T 1 ~ G T nの行のエミッタアレイから電子が放出され、この電子はゲート電極G T 1 ~ G T n上に隔離して配置された図示しないアノードに捕集される。

【0034】このアノードには蛍光体が塗布されており、画素であるエミッタアレイから放出された電子によりその部分に対応する蛍光体がそれぞれ発光するようになる。ここで、縦続接続されたカソードドライバ2-1 ~ 2-iにはカソードデータが供給されているが、このカソードデータは1行分の画像データとされ、ゲート電極が選択駆動される毎に選択駆動されたゲート電極に応じた画像データが、カソードドライバ2-1 ~ 2-iにラッチされて、ラッチされた画像データにより発光が制御されるようになる。これにより、1フレーム分のゲート電極G T 1 ~ G T nの走査が完了した時点で、アノードに1フレームの画像が表示されるようになる。

【0035】ところで、本実施例の画像表示装置の駆動装置では、1チップとされたゲートドライバ3-1 ~ 3-jはそれぞれ64本のゲート電極を駆動しているにもかかわらず、それぞれ65H期間アクティブ状態とされる理由をここで説明する。それぞれのゲートドライバ3-1 ~ 3-jにおいて、アクティブ状態とされてから64H期間目は、64本目の出力がハイレベルとされる期間である。ゲートドライバ3-1 ~ 3-jにおいて、64H期間だけアクティブ状態にされるとすると、アクティブ状態とされてから65H期間目に非アクティブ状態とされることになる。すると、64本目の出力のレベルは65H期間目からハイインピーダンス状態とされるため、駆動されているゲート電極はゼロレベルに落ちることなくフローティング状態とされる。従って、例えば図2(a)のG T 64の欄に2点鎖線で示すようにハイレベルを保持するようになってしまう。

【0036】ゲート電極がハイレベルとされると、エミッタアレイから電子の放出が可能となるので、この行は発光表示されるようになる。すなわち、水平ラインの64本目毎に誤発光してしまうようになる。そこで、これを防止するように各ゲートドライバ3-1 ~ 3-jは、64H期間に加えて1H期間さらにアクティブ状態となるように制御されている。すなわち、アクティブ期間の65H期間目に64本目の出力をゼロレベルに落としていのである。これにより、誤発光を防止することができる。なお、延長してアクティブ期間とされる期間は1H期間に限るものではなく1H以上とすることができるが、余り長くすると無効電力が増加されることになるので、1Hとするのが最適である。

【0037】以上説明したように、本発明の画像表示装置の駆動回路は、1チップで構成されるゲートドライバ毎にアクティブ状態あるいは非アクティブ状態となるように制御すると共に、アクティブ状態が隣接して駆動されるゲートドライバ間において少なくとも1H期間重複されるように制御することにより、汎用の1チップとさ

れたドライバを採用することができる。この場合、非アクティブ状態とされたゲートドライバに接続されているゲート電極はフローティング状態とされるので、無効電力を低減することができる。

【0038】なお、フローティング状態とされた時に、ハイレベルあるいはローレベルの画像データが供給されているカソード電極C 1 ~ C mの影響を受けて、ゲート電極G T 1 ~ G T nの電位が、例えば図2(a)のG T 1の欄に一点鎖線で示すように次第に上昇していく場合がある。このような現象により上昇した電位 V_{α} が、図4に示す閾値電圧 V_m を越えると漏れ発光するようになるため、ゲート電極G T 1 ~ G T nのローレベルをパイアス電圧ではなく、接地電位まで落とすようにするのが好適である。すなわち、接地電位に落とすようにするとゲート電極における漏れ発光防止の電圧マージンを大きくすることができる。

【0039】また、以上の説明においてはゲート電極をスキャンするよう駆動すると共に、1チップのドライバによりゲート電極を駆動するようにしたが、本発明はこれに限らず、カソード電極をスキャンするよう駆動すると共に、1チップのドライバによりカソード電極を駆動するようにしてもよい。また、1チップドライバは64本の操作電極を駆動すると説明したが、本発明はこれに限ることなく、32本、16本等の操作電極を駆動するものであってもよい。

【0040】

【発明の効果】以上、説明したように本発明の画像表示装置の駆動回路では、1チップドライバで駆動される走査電極の群を単位として非アクティブ状態時にフローティング状態としたため、非アクティブ状態時には静電容量を充電/放電する電流路が形成されず、無効電力を低減することができる。従って、ドライバの電源容量を低減することができ、小型化することができると共に、コストを削減することができる。

【0041】さらに、アクティブ状態とされた1チップドライバと、駆動順番が隣接するドライバのアクティブ状態が一部重複することとしたので、各1チップドライバにおいて、最終段の出力レベルを低レベルに状態遷移した後、ハイインピーダンス状態とすることができ、誤発光を防止することができる。さらに、従来の駆動回路のように複雑な駆動回路を個別部品により作成する必要をなくすことができ、汎用のチップを採用することができるためコストを大幅に低減することができる。

【図面の簡単な説明】

【図1】本発明の一実施例である画像表示装置を駆動する駆動回路のブロック図を示した図である。

【図2】本発明の一実施例である画像表示装置を駆動する駆動回路の動作を説明するためのゲート電極の駆動信号のタイミング図である。

【図3】本発明の一実施例である画像表示装置を駆動す

る駆動回路の動作を説明するためのゲートドライバのアクティブ、非アクティブ状態を示すタイミング図である。

【図4】電界放出カソードのアノード電流-ゲート・カソード間電圧特性を示す図である。

【図5】スピント型の電界放出カソードを示す図である。

【図6】従来の画像表示装置の駆動回路のブロック図を示した図である。

【図7】従来のゲート電極の動作波形を示した図であ

る。

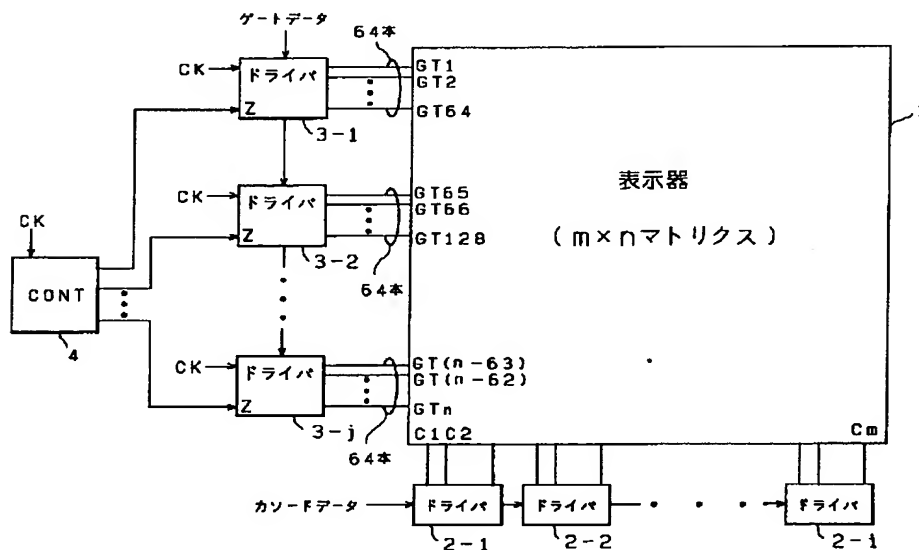
【図8】従来のゲート電極の他の動作波形を示した図である。

【図9】従来の画像表示装置の他の駆動回路のブロック図を示した図である。

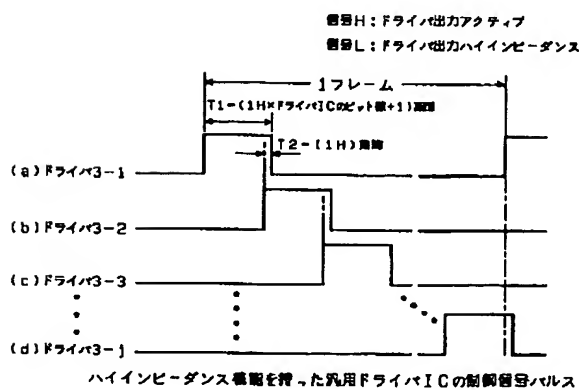
【符号の説明】

- 1 表示器
- 2-1～2-m カソード電極のドライバ
- 3-1～3-n ゲート電極のドライバ
- 4 制御部

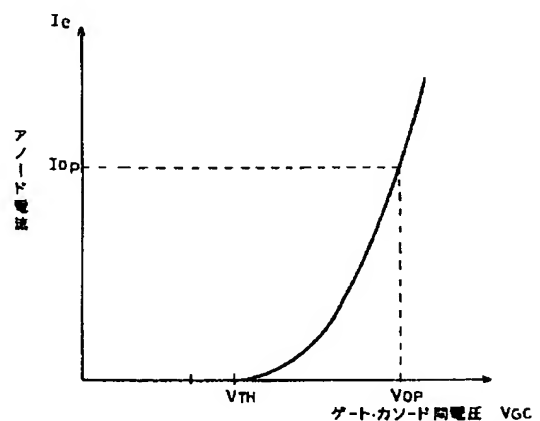
【図1】



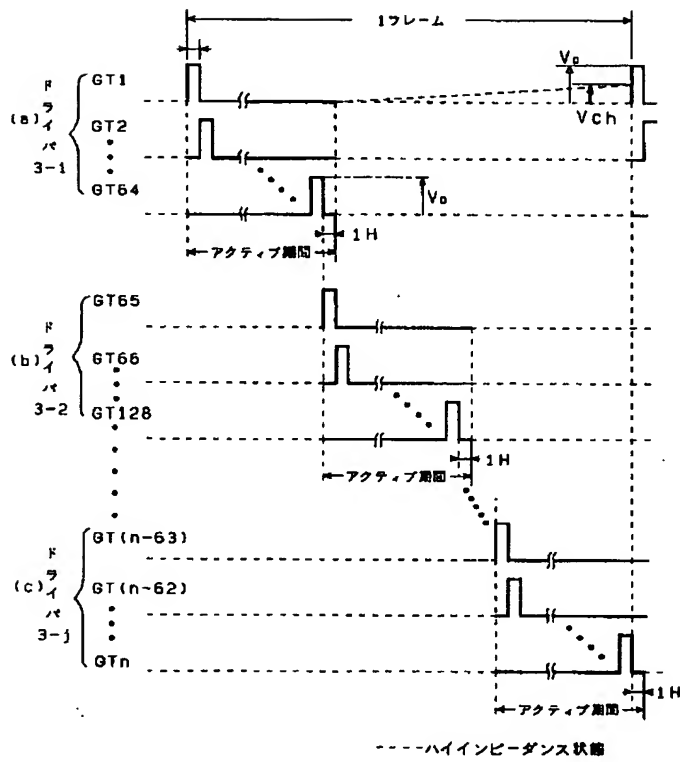
【図3】



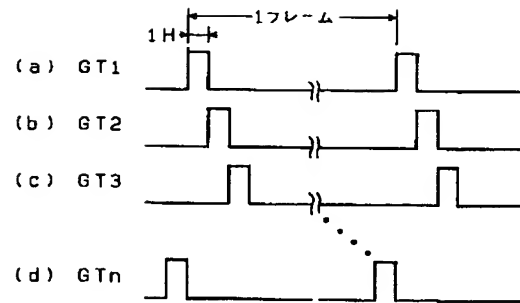
【図4】



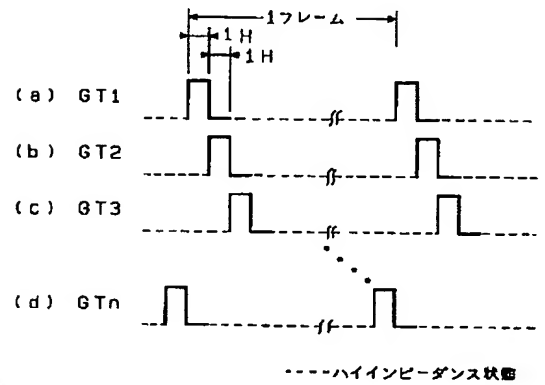
【図2】



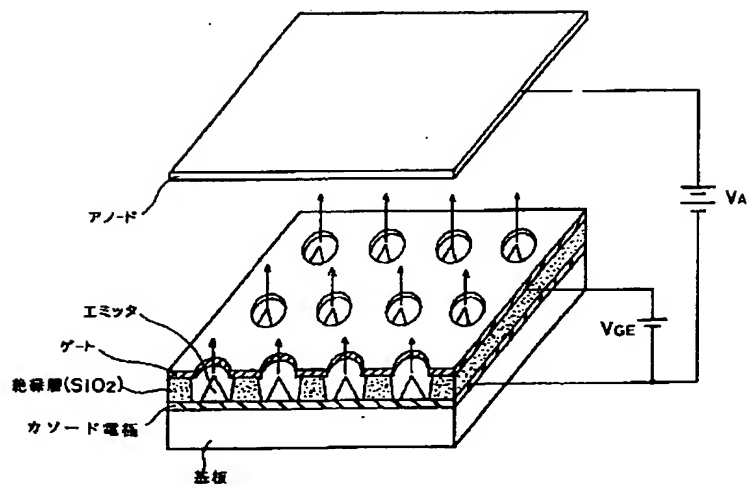
【図7】



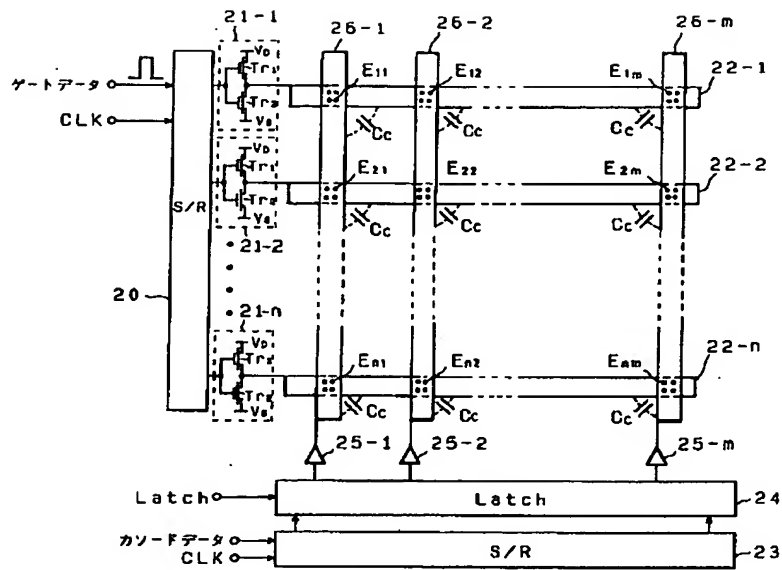
【図8】



【図5】



【図6】



【図9】

